

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015864

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01S 5/343

H01L 33/00

H01S 5/227

(21)Application number : 11-182506

(71)Applicant : SHARP CORP

(22)Date of filing : 28.06.1999

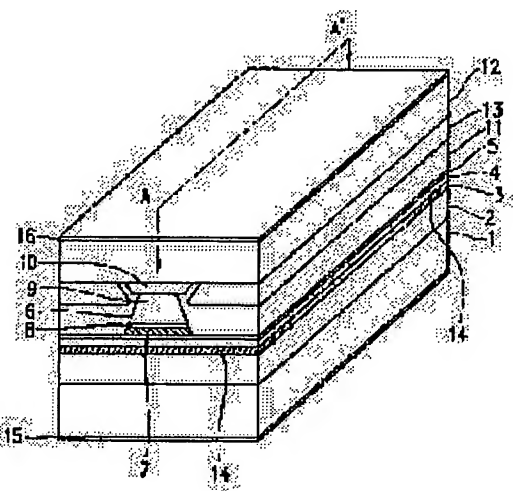
(72)Inventor : MATSUMOTO AKIHIRO

## (54) SEMICONDUCTOR LASER DEVICE AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an edge face window-type semiconductor laser device which operates on a low operating current, has high reliability, and outputs a high power.

**SOLUTION:** An N-type edge face current block layer 7 is formed on the edge face of a resonator and an active layer disordered region 14 located in the vicinity of the resonator. Semiconductor layers alternately changed in polarity such as an N-type lower clad layer 2, a P-type first upper clad layer 4, an N-type edge face current block layer 7, and a P-type second upper clad layer 6 disposed in this order are arranged, so that a reactive current flowing through a window region is restrained, and an operating current is decreased, and furthermore heat generated by a reactive current flowing through the window region is restrained, so that a laser device of this constitution is restrained from deteriorating in crystallinity and improved in reliability when it outputs a high power. The distance (in the layer thickness direction) between the edge face current block layer 7 and a window region becomes nearly equal to the thickness of the first upper clad layer 4, and as the thickness of the clad layer 4 is comparatively small, an ineffective current flowing from a current block part to a window region is restrained enough.



## LEGAL STATUS

[Date of request for examination]

11.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-15864

(P2001-15864A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 S 5/343		H 0 1 S 3/18	6 7 7 5 F 0 4 1
H 0 1 L 33/00		H 0 1 L 33/00	A 5 F 0 7 3
H 0 1 S 5/227		H 0 1 S 3/18	6 6 5

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21)出願番号 特願平11-182506

(22)出願日 平成11年6月28日(1999.6.28)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松本 晃広

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74)代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5F041 CA05 CA14 CA34 CA36 CA37

CA58 CA72 CA77 CB02

5F073 AA07 AA13 AA51 AA73 AA74

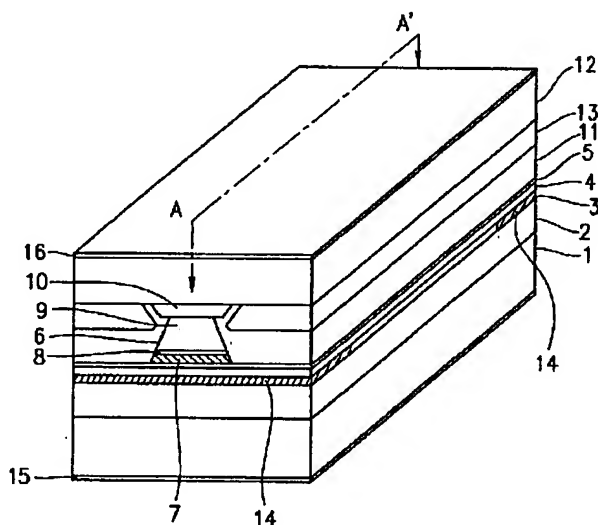
AA87 CA05 CA14 DA15

(54)【発明の名称】 半導体レーザ素子およびその製造方法

## (57)【要約】

【課題】 動作電流が低く信頼性が高い高出力の端面窓型半導体レーザ素子を得る。

【解決手段】 共振器端面およびその近傍の活性層無秩序化領域14上にn型端面電流阻止層7を形成する。n型下クラッド層2、p型第1上クラッド層4、n型端面電流阻止層7、p型第2上クラッド層6の順に極性が交互に異なる複数の半導体層が配置されるので、窓領域に流れる無効電流が抑制されて動作電流が低減し、さらに、窓領域の無効電流による発熱が抑制されて結晶劣化が生じ難くなり、高出力動作時の信頼性が向上する。端面電流阻止層7から窓領域までの距離(層厚方向)は第1上クラッド層4の層厚にほぼ等しくなり、その層厚が比較的薄いので、電流阻止部から窓領域に流れる無効電流が十分に抑制される。



1

## 【特許請求の範囲】

【請求項1】 少なくとも第1導電型の下クラッド層と第2導電型の第1上クラッド層と、両クラッド層と挟まれた量子井戸活性層を有し、少なくとも光出射端面およびその近傍に、該量子井戸活性層を無秩序化した窓領域を備えている半導体レーザ素子において、

該窓領域上方であって該第1上クラッド層上部分に電流阻止部を有し、該電流阻止部上および該電流阻止部が設けられていない第1上クラッド層上部分にわたってリッジストライプ状に第2導電型の第2上クラッド層を備えている半導体レーザ素子。

【請求項2】 前記電流阻止部が、少なくとも第1導電型の端面電流阻止層を有する請求項1に記載の半導体レーザ素子。

【請求項3】 前記端面電流阻止層と前記第2上クラッド層との間に保護層を有する請求項2に記載の半導体レーザ素子。

【請求項4】 前記端面電流阻止層および前記第1上クラッド層が  $Al_xGa_{1-x}As$  ( $0 \leq x \leq 1$ ) または  $(Al_yGa_{1-y})_zIn_{1-z}P$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) からなり、該端面電流阻止層のA1組成比が該第1上クラッド層のA1組成比よりも小さい請求項2または請求項3のいずれかに記載の半導体レーザ素子。

【請求項5】 前記保護層および前記端面電流阻止層が  $Al_xGa_{1-x}As$  ( $0 \leq x \leq 1$ ) または  $(Al_yGa_{1-y})_zIn_{1-z}P$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) からなり、該保護層のA1組成比が該端面電流阻止層のA1組成比よりも小さい請求項3または請求項4に記載の半導体レーザ素子。

【請求項6】 前記端面電流阻止層の厚みが  $0.01 \mu m$  以上  $0.3 \mu m$  以下である請求項2乃至請求項5のいずれかに記載の半導体レーザ素子。

【請求項7】 前記保護層の厚みが  $0.001 \mu m$  以上  $0.03 \mu m$  以下である請求項3乃至請求項6のいずれかに記載の半導体レーザ素子。

【請求項8】 前記端面電流阻止層のキャリア濃度が  $5 \times 10^{17} cm^{-3}$  以上  $5 \times 10^{18} cm^{-3}$  以下である請求項2乃至請求項7のいずれかに記載の半導体レーザ素子。

【請求項9】 前記電流阻止部と前記窓領域とは共振器方向の長さが略等しい請求項1乃至請求項8のいずれかに記載の半導体レーザ素子。

【請求項10】 前記窓領域は共振器方向の長さが  $10 \mu m$  以上  $60 \mu m$  以下である請求項1乃至請求項9のいずれかに記載の半導体レーザ素子。

【請求項11】 前記窓領域は、前記量子井戸活性層を構成する結晶中に空孔を拡散させて無秩序化したものである請求項1乃至請求項10のいずれかに記載の半導体レーザ素子。

【請求項12】 前記端面電流阻止層および前記保護層のA1組成比が0.1以下である請求項11に記載の半

2

導体レーザ素子。

【請求項13】 前記量子井戸活性層から前記端面電流阻止層まで、または前記量子井戸活性層から前記保護層までの層厚方向の距離が  $0.4 \mu m$  以下である請求項2乃至請求項12のいずれかに記載の半導体レーザ素子。

【請求項14】 第1導電型の基板上に、少なくとも第1導電型の下クラッド層、量子井戸活性層、第2導電型の第1上クラッド層、第2導電型の保護層および第1導電型の端面電流阻止層を順次成長させる工程と、

成長表面に  $SiO_x$  膜を形成し、該  $SiO_x$  膜と該端面電流阻止層とを、少なくとも光出射端面およびその近傍の上方を残して除去する工程と、

熱アニールにより該  $SiO_x$  膜下方の該量子井戸活性層部分を選択的に無秩序化する工程と、

該  $SiO_x$  膜を除去し、該端面電流阻止層上および該電流阻止層が設けられていない保護層上部分にわたって第2導電型の第2上クラッド層を成長させる工程とを含む半導体レーザ素子の製造方法。

【請求項15】 第1導電型の基板上に、少なくとも第1導電型の下クラッド層、量子井戸活性層、第2導電型の第1上クラッド層、第2導電型の保護層および第1導電型の端面電流阻止層を順次成長させる工程と、

該端面電流阻止層を、少なくとも光出射端面およびその近傍の上方を残して除去する工程と、

不純物拡散により該端面電流阻止層下方の該量子井戸活性層部分を選択的に無秩序化する工程と、

該端面電流阻止層上および該電流阻止層が設けられていない保護層上部分にわたって第2導電型の第2上クラッド層を成長させる工程とを含む半導体レーザ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、光ディスク用に好適に用いられる高出力動作が可能な半導体レーザ素子およびその製造方法に関し、特に、共振器端面およびその近傍に窓領域を設けた端面窓型の半導体レーザ素子およびその製造方法に関する。

## 【0002】

【従来の技術】 光ディスク用の半導体レーザ素子においては、光出射端面の劣化を抑制して高出力で高い信頼性を達成することが重要である。このため、共振器端面およびその近傍に活性層からのレーザ光を吸収しない窓領域を設けた、所謂、端面窓型の半導体レーザ素子の開発が盛んに進められている。この素子構造は、例えば特開平8-111560号公報や特開平9-23037号公報に開示されている。

【0003】 図7は特開平8-111560号公報に開示されている半導体レーザ素子の構造を示す斜視図である。

【0004】 この半導体レーザ素子の製造においては、

3

基板1上に下クラッド層2、量子井戸活性層3、第1上クラッド層4を成長後、光出射端面およびその近傍に相当する量子井戸活性層3にSi<sup>+</sup>イオンを打ち込んで、不純物注入と拡散によって活性層無秩序化領域（窓領域）14を形成する。その上に第2上クラッド層9とキャップ層10をリッジストライプ6状に設け、リッジストライプ6の側面を電流ブロック層38で埋め込む。そして、リッジストライプ6上および電流ブロック層38上にわたってコンタクト層12を設け、基板1側には電極15を、コンタクト層12上には電極16を設ける。

【0005】この従来技術では、光出射端面およびその近傍における量子井戸活性層3の無秩序化領域14でのバンドギャップが、共振器内部の量子井戸活性層3からのレーザ光に対して透明領域、即ち窓領域となる。よって、端面部における活性層の光吸収が抑制されて、高出力動作時の端面劣化が抑制される。

【0006】図8は特開平9-23037号公報に開示されている半導体レーザ素子の構造を示す斜視図である。

【0007】この半導体レーザ素子に製造においては、基板1上に下クラッド層2、量子井戸活性層3、第1上クラッド層4およびコンタクト層12を成長後、コンタクト層12上に内部ストライプ52に相当する開口部を設けたSiO<sub>2</sub>膜（図示せず）を形成する。そして、熱処理によりSiO<sub>2</sub>膜で生成される結晶中の空孔を光出射端面およびその近傍に相当する量子井戸活性層3に拡散させて活性層無秩序化領域（窓領域）14を形成する。そして、コンタクト層12の上部から内部ストライプ52に相当する領域以外の領域51にプロトンを入力して、電流狭窄と光閉じ込めを可能とする内部ストライプ52を共振器内部に形成する。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の半導体レーザ素子には、以下のような問題点がある。

【0009】特開平8-111560号公報に開示されている半導体レーザ素子では、端面およびその近傍に電流阻止機能を有する部分を設けていないので、窓領域となる活性層無秩序化領域14に電流が流れる。この電流により生成されたキャリアはレーザ発振に寄与しない発光または発熱になるので、動作電流が増大する。さらに、その無効電流により生じる発熱によって窓領域での結晶劣化が生じ、高出力時における半導体レーザ素子の信頼性が低下するという問題がある。

【0010】これに対して、特開平9-23037号公報に開示されている半導体レーザ素子では、窓領域となる活性層無秩序化領域14に電流が流れるのを防ぐために、プロトン注入により高抵抗領域からなる端面電流阻止部を設けている。しかしながら、この方法では、プロトン注入の際にプロトン打ち込み領域が活性層3にまで

4

及ぶと活性層3の結晶に欠陥が生じるので、レーザ光が散乱されて損失を生じる。そこで、プロトン打ち込み領域は活性層からかなり離れたところ、通常は1.0μm以上離れたところに形成されるため、この端面電流阻止構造では電流阻止機能が不十分となって活性層無秩序化領域に電流が流れてしまう。その結果、特開平8-111560号公報と同様に、動作電流の増大、および活性層無秩序化領域での結晶劣化による高出力時の信頼性低下の問題が生じる。

【0011】本発明はこのような従来技術の課題を解決すべくなされたものであり、窓領域となる活性層無秩序化領域への電流注入を抑制して、無効電流による動作電流の増大を防ぐと共に活性層無秩序化領域での結晶劣化による信頼性低下を防いで、動作電流が低く信頼性が高い高出力の端面窓型の半導体レーザ素子およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体レーザ素子は、少なくとも第1導電型の下クラッド層と第2導電型の第1上クラッド層と、両クラッド層で挟まれた量子井戸活性層を有し、少なくとも光出射端面およびその近傍に、該量子井戸活性層を無秩序化した窓領域を備えている半導体レーザ素子において、該窓領域上方であって該第1上クラッド層上部分に電流阻止部を有し、該電流阻止部上および該電流阻止部が設けられていない第1上クラッド層上部分にわたってリッジストライプ状に第2導電型の第2上クラッド層を備えており、そのことにより上記目的が達成される。

【0013】前記電流阻止部は、少なくとも第1導電型の端面電流阻止層を有する構成とすることができる。

【0014】前記端面電流阻止層と前記第2上クラッド層との間に保護層を有するのが好ましい。

【0015】前記端面電流阻止層および前記第1上クラッド層がAl<sub>x</sub>Ga<sub>1-x</sub>As（0≤x≤1）または（Al<sub>y</sub>Ga<sub>1-y</sub>）<sub>z</sub>In<sub>1-z</sub>P（0≤y≤1、0≤z≤1）からなり、該端面電流阻止層のAl組成比が該第1上クラッド層のAl組成比よりも小さいのが好ましい。

【0016】前記保護層および前記端面電流阻止層がAl<sub>x</sub>Ga<sub>1-x</sub>As（0≤x≤1）または（Al<sub>y</sub>Ga<sub>1-y</sub>）<sub>z</sub>In<sub>1-z</sub>P（0≤y≤1、0≤z≤1）からなり、該保護層のAl組成比が該端面電流阻止層のAl組成比よりも小さいのが好ましい。

【0017】前記端面電流阻止層の厚みが0.01μm以上0.3μm以下であるのが好ましい。

【0018】前記保護層の厚みが0.001μm以上0.03μm以下であるのが好ましい。

【0019】前記端面電流阻止層のキャリア濃度が5×10<sup>17</sup>cm<sup>-3</sup>以上5×10<sup>18</sup>cm<sup>-3</sup>以下であるのが好ましい。

【0020】前記電流阻止部と前記窓領域とは共振器方

50

5

向の長さが略等しいのが好ましい。

【0021】前記窓領域は共振器方向の長さが $10\mu\text{m}$ 以上 $60\mu\text{m}$ 以下であるのが好ましい。

【0022】前記窓領域は、前記量子井戸活性層を構成する結晶中に空孔を拡散させて無秩序化したものであるのが好ましい。

【0023】前記端面電流阻止層および前記保護層のA1組成比が0.1以下であるのが好ましい。

【0024】前記量子井戸活性層から前記端面電流阻止層まで、または前記量子井戸活性層から前記保護層までの層厚方向の距離が $0.4\mu\text{m}$ 以下であるのが好ましい。

【0025】本発明の半導体レーザ素子の製造方法は、第1導電型の基板上に、少なくとも第1導電型の下クラッド層、量子井戸活性層、第2導電型の第1上クラッド層、第2導電型の保護層および第1導電型の端面電流阻止層を順次成長させる工程と、成長表面に $\text{SiO}_x$ 膜を形成し、該 $\text{SiO}_x$ 膜と該端面電流阻止層とを、少なくとも光出射端面およびその近傍の上方を残して除去する工程と、熱アニールにより該 $\text{SiO}_x$ 膜下方の該量子井戸活性層部分を選択的に無秩序化する工程と、該 $\text{SiO}_x$ 膜を除去し、該端面電流阻止層上および該電流阻止層が設けられていない保護層上部分にわたって第2導電型の第2上クラッド層を成長させる工程とを含み、そのことにより上記目的が達成される。

【0026】本発明の半導体レーザ素子の製造方法は、第1導電型の基板上に、少なくとも第1導電型の下クラッド層、量子井戸活性層、第2導電型の第1上クラッド層、第2導電型の保護層および第1導電型の端面電流阻止層を順次成長させる工程と、該端面電流阻止層を、少なくとも光出射端面およびその近傍の上方を残して除去する工程と、不純物拡散により該端面電流阻止層下方の該量子井戸活性層部分を選択的に無秩序化する工程と、該端面電流阻止層上および該電流阻止層が設けられていない保護層上部分にわたって第2導電型の第2上クラッド層を成長させる工程とを含み、そのことにより上記目的が達成される。

【0027】以下、本発明の作用について説明する。

【0028】本発明にあっては、共振器端面およびその近傍の活性層無秩序化領域（窓領域）上に設けた電流阻止部によって、窓領域に流れる無効電流を抑制して動作電流を低減する。さらに、窓領域の無効電流による発熱が抑制されるので結晶劣化が発生し難く、高出力動作時の信頼性が向上する。電流阻止部から窓領域までの距離（層厚方向）は第1上クラッド層厚にほぼ等しくなり、その層厚は比較的薄いので、電流阻止部から窓領域に流れる無効電流が十分に抑制される。

【0029】電流阻止部に第1導電型の端面電流阻止層を設ければ、第1導電型の下クラッド層、第2導電型の第1上クラッド層、第1導電型の端面電流阻止層および

6

第2導電型の第2上クラッド層の順に極性が交互に異なる複数の半導体層が配置されて電流が阻止される。よって、各半導体層の層厚やキャリア濃度等のパラメータを調整することにより、十分な電流阻止機能が得られる。

【0030】さらに、端面電流阻止層と第2上クラッド層との間に第導電型の保護層を設ければ、端面電流阻止層の組成比、層厚、キャリア濃度等のパラメータを独立に制御して電流阻止機能を調整可能である。さらに、端面電流阻止層と第1上クラッド層との間にエッチングストップ層として機能する他の保護層を設けてもよい。

【0031】上記端面電流阻止層および第1上クラッド層を $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $0 \leq x \leq 1$ ) または  $(\text{Al}_y\text{Ga}_{1-y})_z\text{In}_{1-z}\text{P}$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) で構成し、端面電流阻止層のA1組成比を第1上クラッド層のA1組成比よりも小さくすれば、端面電流阻止層上に再成長させた第2上クラッド層の結晶欠陥の発生が抑制される。

【0032】また、上記保護層および上記端面電流阻止層を $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $0 \leq x \leq 1$ ) または  $(\text{Al}_y\text{Ga}_{1-y})_z\text{In}_{1-z}\text{P}$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) で構成し、保護層のA1組成比を端面電流阻止層のA1組成比よりも小さくすれば、端面電流阻止層の組成および層厚の設計自由度が向上し、さらに、保護層上に再成長させた第2上クラッド層の結晶欠陥の発生が抑制される。

【0033】上記端面電流阻止層の厚みが $0.01\mu\text{m}$ 未満では電流阻止機能が低下するので $0.01\mu\text{m}$ 以上であるのが好ましい。また、端面電流阻止層の厚みが $0.3\mu\text{m}$ を超えると第2上クラッド層の表面高さが端面部と内部とで大きく異なり、第2上クラッド層のリッジストライプ幅が端面部と内部とで異なってレーザ発振が不安定になるので $0.3\mu\text{m}$ 以下であるのが好ましい。

【0034】上記保護層の厚みが $0.001\mu\text{m}$ 未満では表面保護機能が低下し、その上に再成長させた第2上クラッド層の結晶欠陥が増大するので $0.001\mu\text{m}$ 以上であるのが好ましい。また、保護層の厚みが $0.03\mu\text{m}$ を超えると端面部と内部とで光閉じ込め状態が異なり、光結合損失が生じてレーザ発振効率が低下するので $0.03\mu\text{m}$ 以下であるのが好ましい。

【0035】上記端面電流阻止層のキャリア濃度が $5 \times 10^{17}\text{cm}^{-3}$ 未満では電流阻止機能が不十分になるので $5 \times 10^{17}\text{cm}^{-3}$ 以上であるのが好ましい。また、端面電流阻止層のキャリア濃度が $5 \times 10^{18}\text{cm}^{-3}$ を超えると端面電流阻止層のドーパント不純物が隣接する半導体層に拡散して極性変動を引き起こし、電流阻止機能が不十分になるので $5 \times 10^{18}\text{cm}^{-3}$ 未満であるのが好ましい。

【0036】上記電流阻止部と窓領域とで共振器方向の長さを略等しくすれば、窓領域に流れる無効電流を抑制するのに効果的である。

7

【0037】上記窓領域は共振器方向の長さが $10\mu\text{m}$ 未満では共振器内部の活性層から窓領域に注入されたキャリアが共振器端面まで到達し、端面で非発光再結合による発熱が生じて端面が劣化するので $10\mu\text{m}$ 以上であるのが好ましい。また、窓領域の共振器方向の長さが $60\mu\text{m}$ を超えるとレーザ発振に必要な利得が低下し、発振閾値電流が増大して動作電流が増大するので $60\mu\text{m}$ 以下であるのが好ましい。

【0038】窓領域を形成する際に、結晶中に空孔を拡散させて量子井戸活性層を無秩序化すれば、各半導体層の極性変動が生じず、極性が交互に異なる複数の半導体層による電流阻止機能が低下しない。

【0039】上記端面電流阻止層または保護層のAl組成比が0.1以下であればGaが吸収されやすく、結晶中に空孔が生じ易いので、熱アニール温度を上昇させることなく量子井戸活性層の無秩序が可能となり、各半導体層の極性変動がさらに生じ難くなる。

【0040】上記量子井戸活性層から端面電流阻止層まで、または量子井戸活性層から保護層までの層厚方向の距離が $0.4\mu\text{m}$ を超えると、端面部での電流阻止機能が不十分になり、窓領域に電流が流れてしまうので、 $0.4\mu\text{m}$ 以下であるのが好ましい。

【0041】本発明の製造方法にあっては、端面およびその近傍の活性層無秩序化領域と電流阻止部との位置合わせをセルフアラインによって高精度で行うことができるので、プロセスが簡素化され、量産化に適している。

【0042】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照しながら説明する。

【0043】（実施形態1）図1は実施形態1の半導体レーザ素子の構造を示す斜視図であり、図2はそのリッジストライプ中央部分における共振器方向（図1のA-A'線部分）の断面図である。

【0044】この半導体レーザ素子は、n-GaAs基板1上に、厚さ $2\mu\text{m}$ のn-Al<sub>0.5</sub>Ga<sub>0.5</sub>As下クラッド層2、3層の厚さ $8\text{nm}$ のAl<sub>0.1</sub>Ga<sub>0.9</sub>Asウエル層（図示せず）とその間に設けられた2層の厚さ $8\text{nm}$ のAl<sub>0.35</sub>Ga<sub>0.65</sub>Asバリア層（図示せず）とそれらを挟む一対の厚さ $30\text{nm}$ のAl<sub>0.35</sub>Ga<sub>0.65</sub>Asガイド層（図示せず）で構成されるノンドープ多重量子井戸活性層3、厚さ $0.2\mu\text{m}$ のp-Al<sub>0.5</sub>Ga<sub>0.5</sub>As第1上クラッド層4および厚さ $3\text{nm}$ のp-GaAs第1保護層5が設けられている。

【0045】その上の幅 $2.5\mu\text{m}$ のリッジストライプ6は、共振器端面およびその近傍が厚さ $100\text{nm}$ のn-Al<sub>0.5</sub>Ga<sub>0.5</sub>As端面電流阻止層7、厚さ $3\text{nm}$ のp-GaAs第2保護層8、厚さ $1.2\mu\text{m}$ のp-Al<sub>0.5</sub>Ga<sub>0.5</sub>As第2上クラッド層9および厚さ $0.7\mu\text{m}$ のp-GaAsキャップ層10で構成され、共振器内部には端面電流阻止層7および第2保護層8を有さない

8

構成となっている。リッジストライプ6の側面は厚さ $0.7\mu\text{m}$ のn-Al<sub>0.7</sub>Ga<sub>0.3</sub>As電流ブロック層11および厚さ $1.2\mu\text{m}$ のp-GaAs平坦化層13で埋め込まれている。リッジストライプ6上と平坦化層13上にわたって厚さ $3\mu\text{m}$ のp-GaAsコンタクト層12が設けられてその上にp型電極16が設けられ、基板1側にはn型電極15が設けられている。

【0046】さらに、共振器端面およびその近傍の量子井戸活性層3は、共振器方向の長さが $25\mu\text{m}$ の活性層無秩序化領域14を有している。なお、この半導体レーザ素子の共振器長さは $600\mu\text{m}$ である。

【0047】この半導体レーザ素子は、例えば以下のようにして作製することができる。

【0048】図3（a）に示すように、n-GaAs基板1上に有機金属気相成長法（MOCVD法）によりn-Al<sub>0.5</sub>Ga<sub>0.5</sub>As下クラッド層2、3層のAl<sub>0.1</sub>Ga<sub>0.9</sub>Asウエル層と2層のAl<sub>0.35</sub>Ga<sub>0.65</sub>Asバリア層と2層のAl<sub>0.35</sub>Ga<sub>0.65</sub>Asガイド層で構成される多重量子井戸活性層3、p-Al<sub>0.5</sub>Ga<sub>0.5</sub>As第1上クラッド層4、p-GaAs第1保護層5、n-Al<sub>0.5</sub>Ga<sub>0.5</sub>As端面電流阻止層7およびp-GaAs第2保護層8を成長する。

【0049】次に、スパッタリングにより厚み $0.5\mu\text{m}$ のSiO<sub>x</sub>膜を第2保護層8の全面に蒸着し、フォトリソグラフィとリフトオフにより図3（b）に示すようなSiO<sub>x</sub>ストライプ列21を共振器方向の周期 $600\mu\text{m}$ で幅 $50\mu\text{m}$ に形成する。このSiO<sub>x</sub>ストライプ列21をマスクとして、第2保護層8と端面電流阻止層7をエッチングしてストライプ列状にする。

【0050】続いて、 $850^\circ\text{C}$ で $60$ 秒の熱アニールを行ってSiO<sub>x</sub>ストライプ列21の直下の量子井戸活性層3を無秩序化することにより、図3（c）に示すような活性層無秩序化領域14を形成する。

【0051】その後、SiO<sub>x</sub>ストライプ列21を除去し、第1保護層5上および第2保護層8上にわたってp-Al<sub>0.5</sub>Ga<sub>0.5</sub>As第2上クラッド層9およびp-GaAsキャップ層10を第2回目のMOCVD法により成長し、フォトリソグラフィとエッチングにより図3（d）に示すようなリッジストライプ6を形成する。

【0052】次に、リッジストライプ6の側面に、n-Al<sub>0.7</sub>Ga<sub>0.3</sub>As電流ブロック層11およびp-GaAs平坦化層13を第3回目のMOCVD法により埋め込み成長する。続いて、リッジストライプ6上と平坦化層13上にわたって第4回目のMOCVD法によりp-GaAsコンタクト層12を成長する。

【0053】その後、基板1側とコンタクト層12表面に電極15、16を形成し、活性層無秩序化領域14の中央部が共振器端面になるようにへき開を行って光出射端面に反射率 $12\%$ のコーティングを行い、反対側の端面には反射率 $95\%$ のコーティングを行う。これによ



り、共振器長が $600\mu\text{m}$ で活性層無秩序化領域（窓領域）14の共振器方向の長さが $25\mu\text{m}$ の半導体レーザ素子が得られる。

【0054】このようにして得られた本実施形態の半導体レーザ素子に対して、電極15、16に電圧を印加してリッジストライプ内部とそれに相当する活性層に電流を注入することにより、光出射端面からレーザ光が得られる。本実施形態の半導体レーザ素子は、発振閾値電流が $20\text{mA}$ 、スロープ効率が $1\text{W/A}$ 、最大光出力が $400\text{mW}$ であり、熱飽和で光出力が制限されて端面劣化は生じなかった。本実施形態の半導体レーザ素子を温度 $60^\circ\text{C}$ 、光出力 $\text{CW } 200\text{mW}$ でエージング試験に投入したところ、 $5000$ 時間以上にわたって安定に走行した。

【0055】比較のために、端面およびその近傍に電流阻止部を設けずに、それ以外は本実施形態の半導体レーザ素子と同様に端面およびその近傍の活性層を無秩序化した構造の半導体レーザ素子を作製した。この比較例の半導体レーザ素子では、発振閾値電流が $30\text{mA}$ に増大し、スロープ効率が $0.7\text{W/A}$ に低下し、最大光出力は $150\text{mW}$ まで低下して端面劣化が見られた。この比較例の半導体レーザ素子を温度 $60^\circ\text{C}$ 、光出力 $\text{CW } 200\text{mW}$ でエージング試験に投入したところ、 $100$ 時間以内に全ての素子が劣化した。

【0056】このように本実施形態によれば、端面およびその近傍に電流阻止部を設けて活性層無秩序化領域（窓領域）に流れる無効電流を抑制することにより、動作電流の低減を図ることができると共に高出力動作時にも高い信頼性が得られる。

【0057】さらに、本実施形態の半導体レーザ素子では、端面電流阻止層7から活性層無秩序化領域14までの距離（層厚方向）が第1上クラッド層4の厚さにほぼ等しくなり、その層厚は $0.2\mu\text{m}$ と比較的薄いため、端面電流阻止層7から活性層無秩序化領域14に流れる無効電流を十分に抑制して低動作電流で高い信頼性を有する高出力の半導体レーザ素子が得られる。

【0058】さらに、本実施形態の半導体レーザ素子では、n型の下クラッド層2、p型の第1上クラッド層4、p型の第1保護層5、n型の端面電流阻止層7、およびp型の第2保護層8とp型の第2上クラッド層9の順に、極性が交互に異なる複数の半導体層を配置して電流阻止機能を実現している。よって、各半導体層の層厚やキャリア濃度等のパラメータを調整することにより、電流阻止機能を調整することができる。従って、活性層無秩序化領域に注入される無効電流をさらに制御良く抑制することができ、低動作電流で信頼性が高い高出力の半導体レーザ素子が得られる。

【0059】さらに、本実施形態の半導体レーザ素子では、端面電流阻止層7と第2上クラッド層9との間に第2保護層8を設けているので、端面電流阻止層7の組成

比、層厚、キャリア濃度等のパラメータを独立に制御して電流阻止機能を調整することができる。

【0060】ところで、本実施形態の半導体レーザ素子において、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 端面電流阻止層7はAl組成比が高いので、その上に直接p- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 第2上クラッド層9を再成長させると結晶欠陥が発生し、結晶欠陥を介した無効電流が増大する。そこで、本実施形態では、端面電流阻止層7と第2上クラッド層9との間に端面電流阻止層7のAl組成比よりも小さいGaAsからなる第2保護層8を設けており、その上に再成長した第2上クラッド層9の結晶欠陥を抑制して無効電流増大を防ぐことができる。

【0061】さらに、端面電流阻止層7の厚みが $0.01\mu\text{m}$ 未満では電流阻止機能が低下し、 $0.3\mu\text{m}$ を超えると端面部と内部とで第2上クラッド層9の表面高さが大きく異なり、リッジストライプの幅が変化してレーザ発振が不安定になる。そこで、本実施形態の半導体レーザ素子では端面電流阻止層7の厚みを $0.1\mu\text{m}$ にしてある。これにより、電流阻止機能を維持すると共に安定したレーザ発振を得ることができる。

【0062】さらに、第2保護層8の厚みが $0.001\mu\text{m}$ 未満では表面保護機能が低下してその上に再成長させた第2上クラッド層9の結晶欠陥が増大し、 $0.03\mu\text{m}$ を超えると端面部と内部とで光閉じ込め状態が異なり、光結合損失が生じてレーザ発振効率が低下する。そこで、本実施形態の半導体レーザ素子では第2保護層の厚みを $0.003\mu\text{m}$ にしてある。これにより、第2上クラッド層9の結晶欠陥による特性劣化を防止すると共に端面部と内部での光結合損失によるレーザ発振効率の低下を防ぐことができる。

【0063】さらに、端面電流阻止層7のキャリア濃度が $5 \times 10^{17}\text{cm}^{-3}$ 未満では電流阻止機能が不十分になって活性層無秩序化領域14に無効電流が流れ、 $5 \times 10^{18}\text{cm}^{-3}$ を超えると端面電流阻止層7のドーパント不純物が隣接する半導体層に拡散して極性変動を引き起こし、電流阻止機能が不十分になる。そこで、本実施形態の半導体レーザ素子では端面電流阻止層7のキャリア濃度を $2 \times 10^{18}\text{cm}^{-3}$ にしてある。これにより、端面電流阻止機能を維持して活性層無秩序化領域14に流れる無効電流を抑制することができる。なお、端面電流阻止層7のドーパント不純物としては、SeまたはSiを用いることができる。

【0064】さらに、本実施形態の半導体レーザ素子では、端面電流阻止層7の長さや活性層無秩序化領域14とで共振器方向の長さを略等しくしてあるので、活性層無秩序化領域14に流れる無効電流を効果的に抑制することができる。

【0065】さらに、活性層無秩序化領域14の共振器方向の長さが $10\mu\text{m}$ 未満では共振器内部の活性層から窓領域に注入されたキャリアが共振器端面まで到達し、

端面で非発光再結合による発熱が生じて端面が劣化する。一方、活性層無秩序化領域14の共振器方向の長さが $60\mu\text{m}$ を超えるとレーザ発振に必要な利得が低下し、発振閾値電流が増大して動作電流が増大する。そこで、本実施形態の半導体レーザ素子では、活性層無秩序化領域14の共振器方向の長さを $25\mu\text{m}$ にしてある。これにより、端面劣化による信頼性低下を防ぐと共に低動作電流でのレーザ発振を得ることができる。

【0066】本実施形態の半導体レーザ素子の製造においては、GaAs第2保護層8の上にSiO<sub>x</sub>ストライプ列21を形成し、これをマスクとして第2保護層8および端面電流阻止層7をエッチングしている。さらに、熱アニールによりSiO<sub>x</sub>膜に第2保護層のGaを吸収させて結晶中に空孔を形成し、その空孔を多重量子井戸活性層3まで拡散させることによりSiO<sub>x</sub>ストライプ列21の下方に活性層無秩序化領域14を形成している。これにより、端面およびその近傍の活性層無秩序化領域14と端面電流阻止層7との位置合わせをセルフアラインによって高精度に行うことができるので、プロセスが簡素化され、量産化に適している。

【0067】なお、結晶中の空孔発生量や空孔拡散距離を制御するためには、アニール温度や時間を考慮する必要がある。

【0068】また、本実施形態では活性層無秩序化領域14を端面幅方向全体に形成していますが、実施形態2のようにリッジストライプ6の下方のみに形成することもできる。

【0069】また、本実施形態では、活性層無秩序化領域14を形成する際に、結晶中に空孔を拡散させて量子井戸活性層3を無秩序化しているため、p型第2保護層8、n型端面電流阻止層7、p型第1上クラッド層4、量子井戸活性層3、n型クラッド層2等の各半導体層の極性変動が生じない。よって、極性が交互に異なる複数の半導体層による電流阻止機能を低下させることなく活性層無秩序化領域14に注入される無効電流を抑制することができる。

【0070】さらに、本実施形態において、SiO<sub>x</sub>膜下部の第2保護層8がGaAsからなり、Al組成比が0.1以下であるのでGaが吸収されやすく、結晶中に空孔が生じ易い。よって、熱アニール温度を上昇させることなく量子井戸活性層の無秩序が可能となり、各半導体層の極性変動をさらに生じ難くすることができる。

【0071】さらに、本実施形態において、量子井戸活性層3から端面電流阻止層7までの層厚方向の距離が $0.4\mu\text{m}$ を超えると、端面部での電流阻止機能が不十分になり、活性層無秩序化領域14に電流が流れてしまう。そこで、本実施形態では、端面電流阻止層7から量子井戸活性層3までの距離を約 $0.2\mu\text{m}$ にしてある。これにより、動作電流を低減すると共に活性層無秩序化領域での結晶劣化を防いで高出力動作時の信頼性を向上

させることができる。

【0072】(実施形態2) 図4は実施形態2の半導体レーザ素子の構造を示す斜視図であり、図5はそのリッジストライプ中央部分における共振器方向(図4のB-B'線部分)の断面図である。

【0073】この半導体レーザ素子は、n-GaAs基板1上に、厚さ $2\mu\text{m}$ のn-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P下クラッド層31、2層の厚さ $8\text{nm}$ のGa<sub>0.5</sub>In<sub>0.5</sub>Pウエル層(図示せず)とその間に設けられた1層の厚さ $5\text{nm}$ の(A<sub>1.05</sub>Ga<sub>0.5</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pバリア層(図示せず)とそれらを挟む一対の厚さ $30\text{nm}$ の(A<sub>1.05</sub>Ga<sub>0.5</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pガイド層(図示せず)で構成されるノンドープ多重量子井戸活性層32、厚さ $0.2\mu\text{m}$ のp-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第1上クラッド層33および厚さ $5\text{nm}$ のp-Ga<sub>0.5</sub>In<sub>0.5</sub>P第1保護層34が設けられている。

【0074】その上の幅 $5.0\mu\text{m}$ のリッジストライプ6は、共振器端面およびその近傍が厚さ $500\text{nm}$ のn-(Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P端面電流阻止層35、厚さ $1.2\mu\text{m}$ のp-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第2上クラッド層36および厚さ $0.7\mu\text{m}$ のp-GaAsキャップ層10で構成され、共振器内部には端面電流阻止層35を有さない構成となっている。リッジストライプ46の側面は厚さ $1.9\mu\text{m}$ のn-GaAs電流ブロック層37で埋め込まれている。リッジストライプ46上と電流ブロック層37上にわたって厚さ $3\mu\text{m}$ のp-GaAsコンタクト層12が設けられてその上にp型電極16が設けられ、基板1側にはn型電極15が設けられている。

【0075】さらに、共振器端面およびその近傍の量子井戸活性層32は、共振器方向の長さが $20\mu\text{m}$ の活性層無秩序化領域14を有している。なお、この半導体レーザ素子の共振器長さは $800\mu\text{m}$ である。

【0076】この半導体レーザ素子は、例えば以下のようにして作製することができる。

【0077】図6(a)に示すように、n-GaAs基板1上に分子線エピタキシー法(MBE法)によりn-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P下クラッド層31、2層のGa<sub>0.5</sub>In<sub>0.5</sub>Pウエル層と1層の(A<sub>1.05</sub>Ga<sub>0.5</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pバリア層と2層の(A<sub>1.05</sub>Ga<sub>0.5</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pガイド層で構成されるノンドープ多重量子井戸活性層32、p-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第1上クラッド層33、p-Ga<sub>0.5</sub>In<sub>0.5</sub>P第1保護層34およびn-(Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P端面電流阻止層35を成長する。

【0078】次に、厚み $0.3\mu\text{m}$ のZnO<sub>x</sub>膜を端面電流阻止層35の全面に蒸着し、フォトリソグラフィとリフトオフにより図6(b)に示すようなZnO<sub>x</sub>ドット列41を共振器方向の周期 $800\mu\text{m}$ で長さ $40\mu\text{m}$ 、幅 $5\mu\text{m}$ に形成する。このZnO<sub>x</sub>ドット列41を



13

マスクとして、端面電流阻止層35をエッチングしてドット列状にする。

【0079】続いて、700℃で3時間のアニールを行ってZnOxドット列41の直下の量子井戸活性層32を無秩序化することにより、図6(c)に示すような活性層無秩序化領域14を形成する。

【0080】その後、ZnOxドット列41を除去し、第1保護層34上および端面電流阻止層35上にわたってp-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第2上クラッド層36およびp-GaAsキャップ層10を第2回目のMBE法で成長し、フォトリソグラフィとエッチングにより図6(d)に示すようなリジストライプ6を形成する。

【0081】次に、リジストライプ6の側面に、n-GaAs電流ブロック層37を第3回目のMBE法により埋め込み成長する。続いて、リジストライプ6上と電流ブロック層37上にわたって第4回目のMBE法によりp-GaAsコンタクト層12を成長する。

【0082】その後、基板1側とコンタクト層12表面に電極15、16を形成し、活性層無秩序化領域14が共振器端面になるようにへき開を行って光出射端面に反射率8%のコーティングを行い、反対側の端面には反射率95%のコーティングを行う。これにより、共振器長が800μmで活性層無秩序化領域(窓領域)14の共振器方向の長さが20μmの半導体レーザ素子が得られる。

【0083】このようにして得られた本実施形態の半導体レーザ素子に対して、電極15、16に電圧を印加してリジストライプ内部とそれに相当する活性層に電流を注入することにより、光出射端面からレーザ光が得られる。本実施形態の半導体レーザ素子は、発振閾値電流が50mA、スロープ効率が0.7W/A、最大光出力が300mWであり、熱飽和で光出力が制限されて端面劣化は生じなかった。本実施形態の半導体レーザ素子を温度60℃、光出力CW200mWでエージング試験に投入したところ、5000時間以上にわたって安定に走行した。

【0084】このように本実施形態によれば、端面およびその近傍に電流阻止部を設けて活性層無秩序化領域(窓領域)に流れる無効電流を抑制することにより、動作電流の低減を図ることができると共に高出力動作時にも高い信頼性が得られる。

【0085】また、本実施形態の半導体レーザ素子でも、端面電流阻止層35から活性層無秩序化領域14までの距離(層厚方向)が第1上クラッド層33の厚さにほぼ等しくなり、その層厚は0.2μmと比較的薄いので、端面電流阻止層35から活性層無秩序化領域14に流れる無効電流を十分に抑制して低動作電流で高い信頼性を有する高出力の半導体レーザ素子が得られる。

【0086】また、本実施形態の半導体レーザ素子で

14

も、n型の下クラッド層31、p型の第1上クラッド層33、p型の第1保護層34、n型の端面電流阻止層35、およびp型の第2上クラッド層36の順に、極性が交互に異なる複数の半導体層を配置して電流阻止機能を実現している。よって、各半導体層の層厚やキャリア濃度等のパラメータを調整することにより、電流阻止機能を調整することができる。従って、活性層無秩序化領域に注入される無効電流をさらに制御良く抑制することができ、低動作電流で信頼性が高い高出力の半導体レーザ素子が得られる。

【0087】さらに、本実施形態の半導体レーザ素子では、n-(Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P端面電流阻止層35のAl組成比をp-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第1上クラッド層33のAl組成比よりも小さくしてある。よって、p-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>P第2上クラッド層36を直接第1上クラッド層33上に再成長させた場合よりも結晶欠陥の発生を抑制することができ、第2上クラッド層36の結晶欠陥を介した無効電流の増大を防ぐことができる。

【0088】さらに、本実施形態の半導体レーザ素子でも、端面電流阻止層35の厚みを0.01μm以上0.3μm以下の範囲である0.05μmにしてあるので、電流阻止機能を維持すると共に安定したレーザ発振を得ることができる。

【0089】さらに、本実施形態の半導体レーザ素子でも、端面電流阻止層35のキャリア濃度を5×10<sup>17</sup>cm<sup>-3</sup>以上5×10<sup>18</sup>cm<sup>-3</sup>以下の範囲である2×10<sup>18</sup>cm<sup>-3</sup>にしてあるので、端面電流阻止機能を維持して活性層無秩序化領域14に流れる無効電流を抑制することができる。なお、端面電流素子層35のドーパント不純物としてはSi等を用いることができる。

【0090】さらに、本実施形態の半導体レーザ素子でも、端面電流阻止層35の長さ活性層無秩序化領域14とで共振器方向の長さを略等しくしてあるので、活性層無秩序化領域14に流れる無効電流を効果的に抑制することができる。

【0091】さらに、本実施形態の半導体レーザ素子でも、活性層無秩序化領域14の共振器方向の長さを10μm以上60μm以下の範囲である20μmにしてあるので、端面劣化による信頼性低下を防ぐと共に低動作電流でのレーザ発振を得ることができる。

【0092】本実施形態の半導体レーザ素子の製造においては、端面電流阻止層35の上にZnOxドット列41を形成し、これをマスクとして端面電流阻止層35をエッチングしている。さらに、アニールにより不純物を多重量子井戸活性層32まで拡散させることによりZnOxドット列41の下方に活性層無秩序化領域14を形成している。これにより、端面およびその近傍の活性層無秩序化領域14と端面電流阻止層35との位置合わせをセルフアラインによって高精度に行うことができるの

15

で、プロセスが簡素化され、量産化に適している。

【0093】なお、結晶中の空孔発生量や空孔拡散距離を制御するためには、アニール温度や時間を考慮する必要がある。また、本実施形態では空孔ではなく不純物を拡散させているので、空孔拡散に比べて極性変動が生じ易い。従って、拡散温度と時間を厳密に制御してなるべく変動を起こさない条件でプロセスを行う必要がある。

【0094】また、本実施形態では活性層無秩序化領域14をリッジストライプ6の下方のみに形成していますが、実施形態1のように端面幅方向全体に形成することもできる。

【0095】また、本実施形態において、不純物としてはMg等を用いることもできる。

【0096】さらに、本実施形態においても、量子井戸活性層32から端面電流阻止層35までの層厚方向の距離を0.4μm以下の範囲である約0.2μmにしているので、動作電流を低減すると共に活性層無秩序化領域での結晶劣化を防いで高出力動作時の信頼性を向上させることができる。

【0097】なお、上記実施形態1および実施形態2では、光出射端面とその反対側の両端面に活性層無秩序化領域を設けたが、光出射端面のみに活性層無秩序化領域を設けても同様の効果が得られる。

【0098】さらに、上記実施形態では多重量子井戸活性層の例について説明したが、単一量子井戸活性層に対しても同様に本発明は適用可能である。基板としては、GaAs基板以外にInP等の基板を使用することができ、第1導電型としてn型、第2導電型として半導体層を成長させた半導体レーザ素子、および第1導電型としてp型、第2導電型としてn型の半導体層を成長させた半導体レーザ素子のいずれについても本発明は適用可能である。さらに、半導体レーザ素子の製造工程において、MOCVD法やMBE法以外にCBE（化学ビームエピタキシー）法、ALE（原子層エピタキシー）法等の成長方法を用いることも可能である。

【0099】

【発明の効果】以上詳述したように、本発明の半導体レーザ素子によれば、共振器端面およびその近傍の活性層無秩序化領域（窓領域）上に電流阻止部を設けて活性層無秩序化領域に流れる無効電流を抑制することにより、動作電流の低減を図ると共に高出力動作時に高い信頼性が得られる。また、電流阻止部から活性層無秩序化領域までの距離（層厚方向）が十分小さいので、電流阻止部から活性層無秩序化領域に流れる無効電流を十分に抑制して、低動作電流で高い信頼性を有する高出力の半導体レーザ素子を得ることができる。

【0100】さらに、本発明の半導体レーザ素子によれば、電流阻止機能が少なくとも第1導電型の下クラッド層、第2導電型の第1上クラッド層、第1導電型の端面電流阻止層および第2導電型の第2上クラッド層のよう

16

に、極性が交互に異なる複数の半導体層で実現されるので、各半導体層の層厚やキャリア濃度等のパラメータを調整することにより、十分な電流阻止機能を得ることができる。従って、活性層無秩序化領域に注入される無効電流をさらに制御性良く抑制して低動作電流で高信頼性の高出力な半導体レーザ素子を得ることができる。

【0101】さらに、本発明の半導体レーザ素子によれば、端面電流阻止層と第2上クラッド層との間に保護層を設けることにより、端面電流阻止層の組成比、層厚、キャリア濃度等のパラメータを独立に制御して電流阻止機能を調整することができる。

【0102】さらに、本発明の半導体レーザ素子によれば、 $Al_xGa_{1-x}As$  ( $0 \leq x \leq 1$ ) または  $(Al_yGa_{1-y})_zIn_{1-z}P$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) で構成した端面電流阻止層のAl組成比を第1上クラッド層のAl組成比よりも小さくすれば、端面電流阻止層上に再成長させた第2上クラッド層の結晶欠陥発生を抑制して無効電流の増大を防ぐことができる。

【0103】さらに、本発明の半導体レーザ素子によれば、 $Al_xGa_{1-x}As$  ( $0 \leq x \leq 1$ ) または  $(Al_yGa_{1-y})_zIn_{1-z}P$  ( $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) で構成した保護層のAl組成比を端面電流阻止層のAl組成比よりも小さくすれば、端面電流阻止層の組成および層厚の設計自由度が向上し、さらに、保護層上に再成長させた第2上クラッド層の結晶欠陥の発生を抑制して無効電流の増大を防ぐことができる。

【0104】さらに、本発明の半導体レーザ素子によれば、端面電流阻止層の厚みを0.01μm以上0.3μm以下にすることにより、電流阻止機能を維持すると共に安定したレーザ発振を得ることができる。

【0105】さらに、本発明の半導体レーザ素子によれば、保護層の厚みを0.001μm以上0.03μm以下にすることにより、保護層上に再成長させた第2上クラッド層の結晶欠陥の発生を抑制して特性劣化を防止することができ、それと共に端面部と内部で光結合損失によるレーザ発振効率の低下を防ぐことができる。

【0106】さらに、本発明の半導体レーザ素子によれば、端面電流阻止層のキャリア濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下にすることにより、電流阻止機能を維持して活性層無秩序化領域に流れる無効電流を抑制し、動作電流を低減することができる。

【0107】さらに、本発明の半導体レーザ素子によれば、電流阻止部と活性層無秩序化領域とで共振器方向の長さを略等しくすることにより、活性層無秩序化領域に流れる無効電流を効果的に抑制することができる。

【0108】さらに、本発明の半導体レーザ素子によれば、活性層無秩序化領域の共振器方向の長さを10μm以上60μm以下にすることにより、端面劣化を防ぐと共に動作電流の増大を抑制することができる。

【0109】さらに、本発明の半導体レーザ素子によれば

17

ば、活性層無秩序化領域を形成する際に、結晶中に空孔を拡散させて量子井戸活性層を無秩序化することにより、各半導体層の極性変動が生じない。よって、極性が交互に異なる複数の半導体層により得られる電流阻止機能を低下させることなく、活性層無秩序化領域に注入される無効電流を抑制することができる。

【0110】さらに、本発明の半導体レーザ素子によれば、端面電流阻止層または保護層のA1組成比を0.1以下にすることにより、熱アニール温度を上昇させることなく量子井戸活性層を無秩序化させることができ、各半導体層の極性変動をさらに生じ難くすることができる。

【０１１１】さらに、本発明の半導体レーザ素子によれば、量子井戸活性層から端面電流阻止層まで、または量子井戸活性層から保護層までの層厚方向の距離を $0.4\mu\text{m}$ にすることにより、端面部での電流阻止機能を十分に活性層無秩序化領域に流れる無効電流の発生を抑制することができる。

【０１１２】本発明の半導体レーザ素子の製造方法によれば、端面およびその近傍の活性層無秩序化領域と電流阻止部との位置合わせをセルフアラインによって高精度で行うことができる。よって、半導体レーザ素子の製造プロセスを簡素化して、量産化に対応することができる。

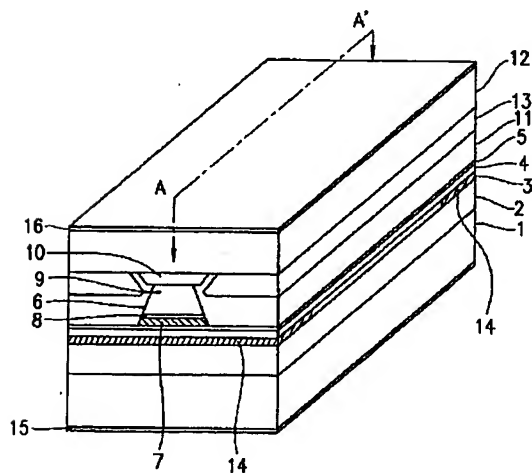
【図面の簡単な説明】

【図 1】実施形態 1 の半導体レーザ素子の構造を示す斜視図である。

【図2】図1のA-A'線部分の断面図である。

【図 3】実施形態 1 の半導体レーザ素子の製造工程を説\*

【図 1】



18

\*明するための斜視図である。

【図4】実施形態2の半導体レーザ素子の構造を示す斜視図である。

【図5】図4のB-B'線部分の断面図である。

【図6】実施形態2の半導体レーザ素子の製造工程を説明するための斜視図である。

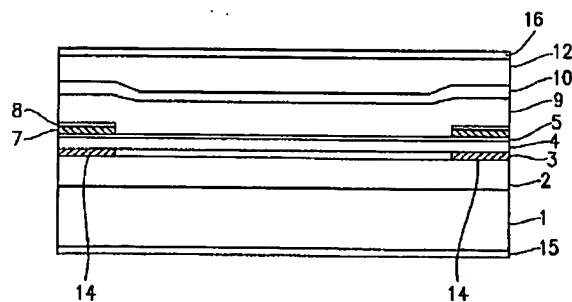
【図7】従来の半導体レーザ素子の構造を示す斜視図である。

【図 8】従来の半導体レーザ素子の構造を示す斜視図である。

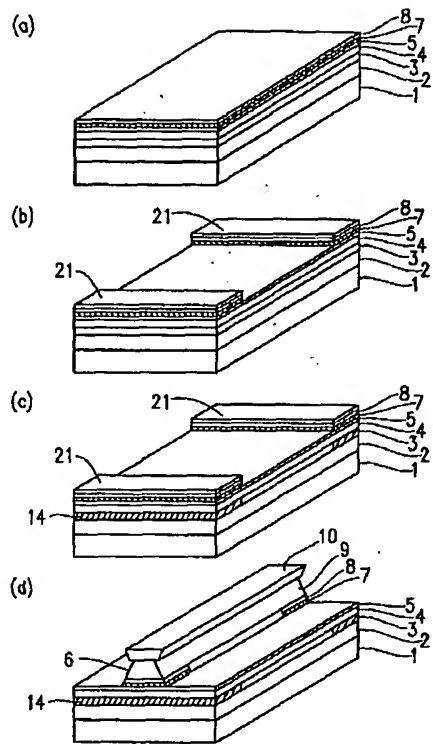
【符号の説明】

- 1 基板
- 2、3 1 下クラッド層
- 3、3 2 量子井戸活性層
- 4、3 3 第1上クラッド層
- 5、3 4 第1保護層
- 6 リッジストライプ
- 7、3 5 端面電流阻止層
- 8 第2保護層
- 9、3 6 第2上クラッド層
- 10 キャップ層
- 11、3 7 電流ブロック層
- 12 コンタクト層
- 13 平坦化層
- 14 活性層無秩序化領域
- 15、1 6 電極
- 21 SiO<sub>x</sub>ストライプ列
- 41 ZnO<sub>x</sub>ドット列

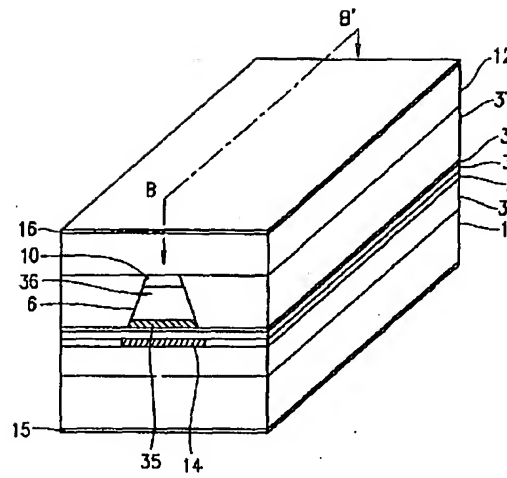
【図2】



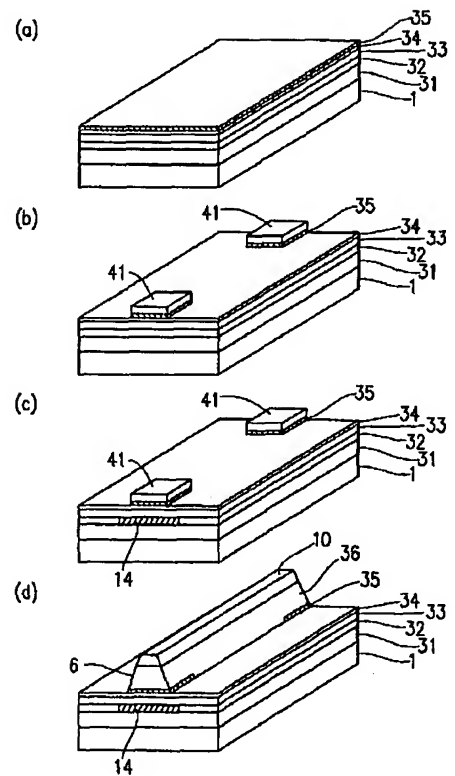
【図 3】



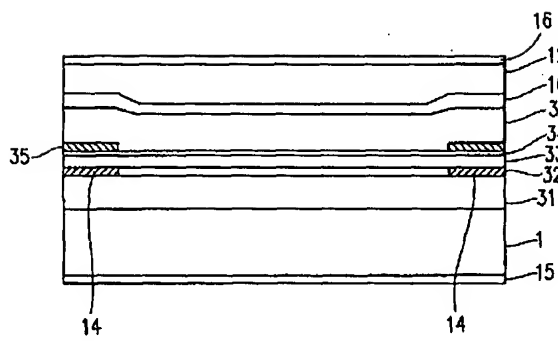
【図 4】



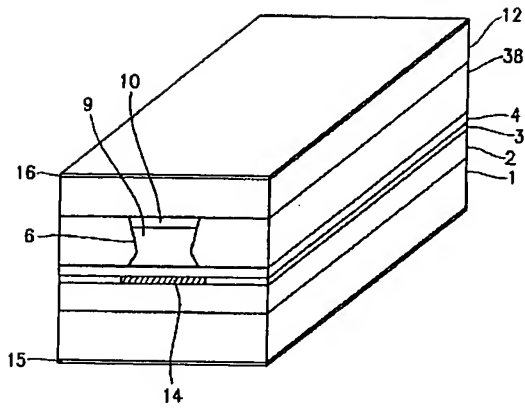
【図 6】



【図 5】



【図 7】



【図 8】

